

Japanese Utility Model Laid-open No. HEI 6-84798 U

Publication date : December 2, 1994

Applicant : Kabushiki Kaisha Shimazu Seisakusyo

Title : Bridge Inverter Circuit

5

(54) [Title of the Device]

(57) [Abstract]

[Object] To avoid breakdown of an insulated switching element.

10 [Constitution] A circuit in which a half-bridge is configured by connecting two MOS-FETs 1, 2 and two high-voltage direct current power supplies 3, 4 via a load 5, and is driven by a bootstrap circuit in which the MOS-FET 1 is configured by a low-voltage buffer 6, a capacitor 8, a
15 diode 9, and a low-voltage power supply 10, wherein a diode 19 is connected to between a source of the MOS-FET 2 and a source of the MOS-FET 1.

[Fig. 1] A circuit diagram of an embodiment of the present
20 device.

[Fig. 2] A circuit diagram of a conventional example.

[Explanations of Reference Numerals]

1, 2 MOS-FET

25 3, 4 High-voltage DC power supply

5 Load

6 Low-voltage buffer

7 Level shift circuit

8 Capacitor

30 9 Diode

10 Low-voltage power supply

11, 12 Parasitic diode

15 Wiring inductance

16 Electric current by load inductance

35 17 Electric current by wiring inductance

(19) 日本国特許庁 (J P)

(12) 公開実用新案公報 (U)

(11) 実用新案出願公開番号

実開平6-84798

(43) 公開日 平成6年(1994)12月2日

(51) Int.Cl.⁵

H 0 2 M 7/5387

7/537

識別記号

庁内整理番号

9181-5H

E 9181-5H

F I

技術表示箇所

審査請求 未請求 請求項の数 1 F D (全 2 頁)

(21) 出願番号 実願平5-28624

(22) 出願日 平成5年(1993)4月30日

(71) 出願人 000001993

株式会社島津製作所

京都府京都市中京区西ノ京桑原町1番地

(72) 考案者 佐々木 理

京都府京都市中京区西ノ京桑原町1番地株

式会社島津製作所三条工場内

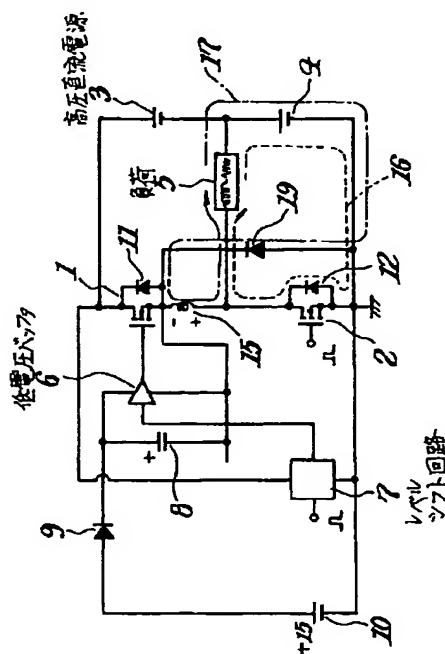
(74) 代理人 弁理士 佐藤 祐介

(54) 【考案の名称】 ブリッジインバータ回路

(57) 【要約】

【目的】 絶縁型のスイッチング素子が破壊されるおそれをなくす。

【構成】 2個のMOS-FET 1、2と2個の高圧直流電源3、4とを負荷5を介して接続してハーフブリッジを構成し、MOS-FET 1を低電圧バッファ6とコンデンサ8とダイオード9と低圧電源10とにより構成されたブートストラップ回路で駆動する回路において、ダイオード19をMOS-FET 2のソースとMOS-FET 1のソースの間に接続する。



1

2

【実用新案登録請求の範囲】

【請求項1】 負荷を介して高圧直流電源とともにブリッジを構成する絶縁型スイッチング素子と、高圧側のスイッチング素子に制御電圧を与えるバッファ回路と、該バッファ回路の電源端子間に接続されるコンデンサと、低圧側のスイッチング素子及びダイオードを介して上記コンデンサに充電電流を供給する低圧電源と、高圧側のスイッチング素子の低圧側端子にそのカソードが、低圧側のスイッチング素子の低圧側端子にそのアノードがそれぞれ接続される追加のダイオードとを備えることを特徴とするブリッジインバータ回路。

【図面の簡単な説明】

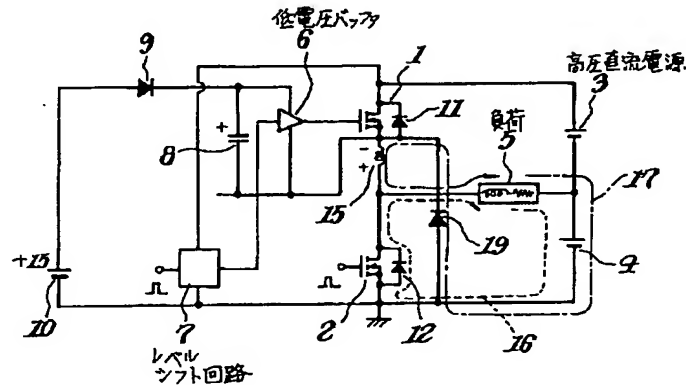
【図1】 この考案の一実施例の回路図。

【図2】 従来例の回路図。

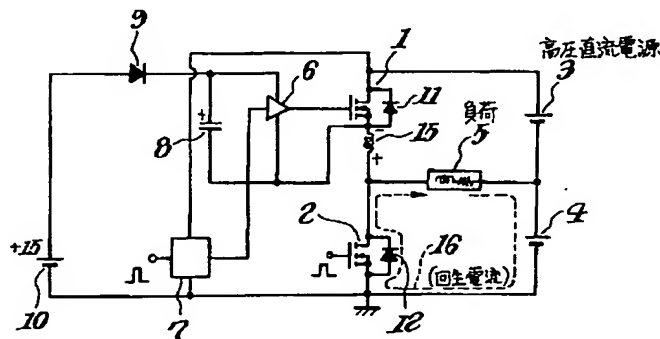
【符号の説明】

- | | |
|-------|-----------------|
| 1、2 | MOS-FET |
| 3、4 | 高圧直流電源 |
| 5 | 負荷 |
| 6 | 低電圧バッファ |
| 7 | レベルシフト回路 |
| 8 | コンデンサ |
| 9 | ダイオード |
| 10 | 低圧電源 |
| 11、12 | 寄生ダイオード |
| 15 | 配線のインダクタンス |
| 16 | 負荷のインダクタンスによる電流 |
| 17 | 配線のインダクタンスによる電流 |

【図1】



【図2】



【考案の詳細な説明】**【0001】****【産業上の利用分野】**

この考案は、ブリッジ接続するスイッチング素子としてMOS-FETあるいはIGBT (Isolated Gate Bipolar Transister) 等の絶縁型の素子を用いたブリッジインバータ回路に関する。

【0002】**【従来の技術】**

従来より、MOS-FETあるいはIGBTをブリッジ接続し、これをブートストラップ回路を用いて駆動するブリッジインバータ回路が知られている。たとえば図2に示すように、2個のMOS-FET 1、2と2個の高圧直流電源3、4とを負荷5を介して接続してハーフブリッジを構成し、ハイサイドのMOS-FET 1を低電圧バッファ6とコンデンサ8とダイオード9と低圧電源10とにより構成されたブートストラップ回路で駆動する。駆動パルスをレベルシフト回路7を介してバッファ6に与えることによりハイサイドのMOS-FET 1を駆動し、ローサイドのMOS-FET 2のゲートには直接駆動パルス（これら2つの駆動パルスは位相が180°ずれている）を与える。低電圧バッファ6の電源として15ボルトの低圧電源10が用いられる。

【0003】

この場合、MOS-FET 2がオンしている間に、コンデンサ8は低圧電源10よりダイオード9及びMOS-FET 2を通じて充電される。MOS-FET 2がその後オフすると、MOS-FET 1のソース電位が上昇し、それに伴いコンデンサ8のコモンモード電位も同様に上昇する。こうしてコンデンサ8が逆バイアスになり、MOS-FET 1のソース電位を基準にしたフローティングバイアスとなる。このときコンデンサ8の充電電荷がバッファ6の電源となる。そこで、グランド電位を基準にしたパルスをレベルシフト回路7を介してバッファ6に与えることにより、このバッファ6によってMOS-FET 1のゲートを制御することができる。ふたたびMOS-FET 1がオフ、MOS-FET 2がオンになるとコンデンサ8は充電され、こうしてコンデンサ8は充・放電を繰り返す

【0004】

【考案が解決しようとする課題】

しかしながら、このようなブリッジインバータ回路では、MOS-FETの破壊にいたる事故が生じる危険がある。すなわち、MOS-FET1がオフするとき、このMOS-FET1を流れる電流はMOS-FET固有の遅れ時間でゼロに減少する。ここで負荷5がインダクタンスを含むものであると、負荷5に流れる電流に着目すれば、インダクタンスは電流を保持しようとする性質があるため、負荷電流はすぐにはゼロとならず、負荷5→ローサイドの高圧直流電源4→MOS-FET2に逆並列に接続されたものとして生じている寄生ダイオード12→負荷5の経路を通じて、点線16で示すような回生電流が流れて循環する。このときMOS-FET1のソース電位はグラウンド電位よりも寄生ダイオード12の順方向降下電圧（通常1～2ボルト程度）だけ低くなっている。

【0005】

ところが、これらを接続する配線にもインダクタンス分が含まれている。このインダクタンスを15で表わすと、このインダクタンス15にも電流を保持しようとする働きがあるが、この電流が流れる経路がないため、MOS-FET1がオフしてこのMOS-FET1を流れる電流が立ち下がっていく過程で、 $V = L \cdot di/dt$ で表わされる電圧が図2に示す極性でこのインダクタンス15に誘起される。その結果、コンデンサ8は、低圧電源10の電圧に、インダクタンス15に誘起された電圧及び寄生ダイオード12の順方向降下電圧を加えた電圧により充電されることになる。これが毎周期繰り返されることにより、コンデンサ8に充電される電圧が徐々に上昇していき、ついにはMOS-FET1のゲート・ソース間の絶対最大定格（通常20～30ボルト程度）を越えてしまい、破壊に至る。

【0006】

この対策としては、配線のインダクタンス15を減らすように工夫することとか、あるいはMOS-FET2がオフとなっている時間を長くすることなどが考えられるが、配線のインダクタンス15をある程度以下にすることは實際上不可

能であり、また、オフ時間を長くすることはスイッチング損失の増大となったり、駆動周波数を制限することになるため、一般的にはとれない対策である。

【0007】

この考案は、上記に鑑み、絶縁型のスイッチング素子が破壊されるおそれがないように改善した、ブリッジインバータ回路を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記の目的を達成するため、この考案によるブリッジインバータ回路では、ダイオードを追加接続することとし、この追加のダイオードのアノードを低圧側のスイッチング素子の低圧側端子に、カソードを高圧側のスイッチング素子の低圧側端子にそれぞれ接続したことが特徴となっている。

【0009】

【作用】

配線のインダクタンスに誘起される電流が追加されたダイオードと負荷と低圧側の高圧直流電源とを流れるようになる。そのため、低圧側のスイッチング素子がオンになってコンデンサが充電されるときに、配線のインダクタンスにより生じる電圧が加わることがなくなり、コンデンサに充電される電圧が上昇することを防ぐことができる。その結果、コンデンサの電圧がスイッチング素子の最大定格を越えることによりそのスイッチング素子が破壊されるという事故を防止できる。

【0010】

【実施例】

以下、この考案の好ましい一実施例について図面を参照しながら詳細に説明する。図1において、2個のMOS-FET 1、2と2個の高圧直流電源3、4とを負荷5を介して接続してハーフブリッジを構成し、ハイサイドのMOS-FET 1を低電圧バッファ6とコンデンサ8とダイオード9と低圧電源10とにより構成されたブートストラップ回路で駆動する点などは図1と同様である。図1の構成と異なるのは、ダイオード19を追加し、このダイオード19のアノードをローサイドのMOS-FET 2のソースに、カソードをハイサイドのMOS-F

ET1のソースにそれぞれ接続した点である。

【0011】

このようにダイオード19を追加接続した場合の動作について説明すると、まず、MOS-FET1がオフするとき、このMOS-FET1を流れる電流はMOS-FET固有の遅れ時間でゼロに減少する。このMOS-FET1を流れる電流が立ち下がっていく過程で、インダクタンスにはその電流を保持しようとする性質があるため、配線のインダクタンス15に電流が誘起される。この誘起電流は図1の1点鎖線17で示すように、配線のインダクタンス15→負荷5→ローサイドの高圧直流電源4→追加のダイオード19→配線のインダクタンス15の経路を通じて、流れて循環する。

【0012】

一方、このとき負荷5のインダクタンスに誘起される電流は、図2の場合と同じに、点線16で示すように、負荷5→ローサイドの高圧直流電源4→MOS-FET2に逆並列に接続されたものとして生じている寄生ダイオード12→負荷5の経路を通じて循環する。

【0013】

上記の配線のインダクタンス15に誘起される電流は負荷5のインダクタンスに誘起される電流よりも先に減少し、ゼロになると、後者のみとなる。

【0014】

したがって、MOS-FET1がオフするときのMOS-FET1のソース電位は、グランド電位よりもダイオード19の順方向降下電圧だけ低いものとなるか、寄生ダイオード12の順方向降下電圧よりも低いものとなるだけである。そして、これらの順方向降下電圧はいずれにしても通常1～2ボルト程度である。

【0015】

そのため、コンデンサ8は、低圧電源10の電圧（15ボルト）に1～2ボルト程度を加えた電圧で充電されることになり、MOS-FETのゲート・ソース間の絶対最大定格を越えることがなくなる。

【0016】

なお、上記の実施例ではハーフブリッジ回路として構成した例について説明し

たが、フルブリッジの回路構成の場合でも同様である。また、スイッチング素子はMOS-FET以外にIGBTなどの絶縁型のスイッチング素子を使用できる。さらに、この考案の趣旨を変更しない範囲で具体的な回路構成について種々に変えることができる。

【0017】

【考案の効果】

以上説明したように、この考案のブリッジインバータ回路によれば、実際上不可能な配線のインダクタンスを低減することを前提とすることがないので、実際に実現可能であり、しかもスイッチング損失の増大を招くことなどもなく、スイッチング素子の破壊を防ぐことができる。